

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

#2
Docket Dujar
3-16-01

Docket No. 1614.1093/HJS



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Noriyuki ITO et al.

Group Art Unit:

Serial No.:

Examiner:

Filed: November 9, 2000

For: DESIGN DATA PROCESSING METHOD AND RECORDING MEDIUM

**SUBMISSION OF CERTIFIED COPY OF PRIOR
FOREIGN APPLICATION IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application(s):

Japanese Patent Application No. 11-320220
Filed: November 10, 1999

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date, as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. § 119.

Respectfully submitted,
STAAS & HALSEY LLP

Date: November 9, 2000

By: 

H. J. Staas
Registration No. 22,010

700 Eleventh Street, N.W.
Suite 500
Washington, D.C. 20001
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 1 月 1 0 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 2 0 2 2 0 号

出 願 人

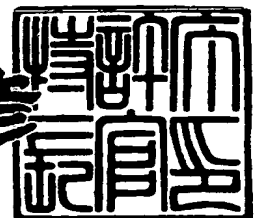
Applicant (s):

富士通株式会社

2 0 0 0 年 5 月 1 9 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 3 6 7 4 8

【書類名】 特許願

【整理番号】 9903019

【提出日】 平成11年11月10日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 17/00

【発明の名称】 設計データ処理方法及び記録媒体

【請求項の数】 4

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 伊藤 則之

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 石川 陽一郎

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 花密 宏晃

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山下 良一

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【郵便番号】 150

【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン
プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 設計データ処理方法及び記録媒体

【特許請求の範囲】

【請求項 1】 階層的に構成された設計データを処理する設計データ処理方法において、

所定の階層の第 1 の設計データを取得する第 1 の設計データ取得手順と、

前記第 1 の設計データより上位の階層の第 2 の設計データを取得する第 2 の設計データ取得手順と、

前記第 2 の設計データを前記第 1 の設計データに合成する階層合成手順とを有することを特徴とする設計データ処理方法。

【請求項 2】 設計データが複数の階層から構成される設計データ処理方法において、

前記複数のブロックのうち所定の階層の第 1 の設計データを取得する第 1 の設計データ取得手順と、

前記第 1 の設計データより下位の階層の第 2 の設計データを取得する第 2 の設計データ取得手順と、

前記第 2 の取得データのうち前記ブロックの周縁部を表示するとともに、配線禁止領域に設定する設定手順とを有することを特徴とする設計データ処理方法。

【請求項 3】 所定の階層の第 1 の設計データを取得させる第 1 の設計データ取得手順と、

前記第 1 の設計データより上位の階層の第 2 の設計データを取得させる第 2 の設計データ取得手順と、

前記第 2 の設計データを前記第 1 の設計データに合成させる階層合成手順とをコンピュータに実行させるプログラムが記憶されたコンピュータ読取可能な記録媒体。

【請求項 4】 複数のブロックの所定の階層に応じた第 1 の設計データを取得させる第 1 の設計データ取得手順と、

前記第 1 の設計データより下位の階層の第 2 の設計データを取得させる第 2 の設計データ取得手順と、

前記第 2 の取得データのうち前記ブロック周縁部を表示させるとともに、配線禁止領域に設定させる設定手順とをコンピュータに実行させるプログラムが記憶されたコンピュータ読取可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は設計データ処理方法及び記録媒体に係り、特に、L S I (Large Scale Integrated Circuit) を階層毎に、マクロ単位で設計するときの設計データ処理方法及び記録媒体に関する。

近年、L S I の設計はマクロ化を行いながら階層的にレイアウトを行う手法が一般に行われている。このようなレイアウト手法では、マクロ間、階層間のレイアウトが認識しにくい。よって、マクロ間、階層間のレイアウトを効率的に認識できるレイアウト手法が望まれていた。

【0002】

【従来の技術】

従来の階層的レイアウト手法では、下位階層から順に設計を行うのが通常であった。このため、上位階層と下位階層とで同じ配線層を共有する場合には、ボトムアップにレイアウト手法を可能としていた。ボトムアップのレイアウト手法とは、下位階層のレイアウトを上位階層で参照してレイアウトを行う手法である。

【0003】

従来の階層的レイアウト手法では、上位階層と下位階層が同じ配線を共有しないように制約されていた。

図 1 は、従来のマクロ間の配線方法の一例を説明するための図を示す。

従来のある階層 L_n のレイアウト構造 1 は、マクロブロック B1 ~ B8 から構成される。ここで、マクロブロック B1 とマクロブロック B2 とを接続する場合には、レイアウト上の制約により図 1 に示すようにマクロブロック B3 を避けて配線 2 が配置されていた。

【0004】

また、従来の階層的レイアウト手法では、下位階層のレイアウトを上位階層に

見せていときには、下位階層には、配線を禁止していた。ただし、マクロブロックを外部と接続するための端子部分だけを配線可能としていた。

図 2 は、従来のマクロ端子の表示の一例を説明するための図である。

上位階層 L_n は、マクロブロック B_0 を有する。マクロブロック B_0 は、マクロブロック $B_1 \sim B_4$ から構成される。下位階層 L_{n-1} は、上位階層 L_n のマクロブロック B_0 の周囲に外部との接続を行う配線 $3-1 \sim 3-8$ が形成されている。

【0005】

このとき、上位階層 L_n では、下位階層 L_{n-1} に対して配線は禁止されている。ただし、配線 $3-1 \sim 3-8$ には外部からの配線が接続されるので、上位階層 L_n の配線 $3-1 \sim 3-8$ に対応する部分は、端子 $T_1 \sim T_8$ が表示される。なお、端子 $T_1 \sim T_8$ の部分だけ配線が許可される。

さらに、従来の階層的レイアウト手法では、半導体の特性によりメタル密度の制約があった。メタル密度の制約は、配線などのメタルがレイアウトされる場合、所定の面積にメタル部分に占める割合が所定の割合以下となるようにするという制約である。この制約をチェックするため、階層的レイアウト手法では、メタル密度ルールチェックが実行される。

【0006】

図 3 は、従来のメタル密度ルールチェックの方法を説明するための図を示す。

メタル密度ルールチェックでは、まず、レイアウト領域 4 を所定の面積 S_0 の複数の領域 $A_{11} \sim A_{mn}$ に分割される。次に、領域 $A_{11} \sim A_{mn}$ から一つの領域を順次に抽出して、配線 L_1 、 L_2 、 L_3 のうち抽出された領域に含まれるメタル部分の面積を求める。

【0007】

次に、各領域中に占めるメタル部分の割合であるメタル密度を求める。例えば、領域 A_{22} では $\{ (W_1 + W_2) / S_0 \} \times 100 [\%]$ 、領域 A_{m1} では $\{ (W_3 + W_4) / S_0 \} \times 100 [\%]$ で求められる。メタル密度ルールでは、メタル密度を例えば 80% 以下にするように規制している。メタル密度が 80% 以上になると、メタル密度エラーとされ、レイアウトの修正が要求されることになる。

【0008】

このとき、レイアウト時には、メタル密度ルールは認識できなかった。

さらに、従来のレイアウト方法では、平行線路長をチェックしていた。平行線路長チェックは、ノイズエラーを検出するためのチェックである。

図4は、従来の平行長チェックの方法を説明するための図を示す。

図4で配線5-1は、マクロブロックB1とマクロブロックB2とを接続する配線である。配線5-2は、マクロブロックB1とマクロブロックB3とを接続する配線である。

【0009】

平行線路長チェックは、配線5-1と配線5-2とが平行になる区間L1を検出し、所定の線路長以上ある場合には、隣接する線路からのノイズの量が規定値以上になると判断して、ノイズエラーと判断する。

【0010】

【発明が解決しようとする課題】

しかるに、従来のレイアウト手法では、下位階層のレイアウトを上位階層で参照するボトムアップによるレイアウトが主流であったため、上位階層作成後、下位階層を修正する場合に、上位階層の配線などを参照できず、レイアウトの効率が良くないなどの問題点があった。

【0011】

また、従来のレイアウト手法では、マクロブロックの周囲は配線禁止として外部との接続を行う部分だけ端子を表示し、周囲の配線は表示されていなかったため、マクロブロックの周囲に配線を行った場合に、マクロブロック内部の配線との間隔を考慮することができず、配線同士の影響を考慮した配線を行えないなどの問題点があった。

【0012】

また、近年、配線の密度が高くなり、メタル密度ルールがシビアになっている。しかし、従来のメタル密度チェックは全配線後に行われるため、配線時にメタル密度ルールを考慮した配線は行えず、レイアウトの効率が悪い等の問題点があ

った。

さらに、従来ノイズエラーの検出は、平行線路長により決定したため、実際にノイズエラーとならない配線までノイズエラーとして検出される。よって、ノイズエラーとなった配線を設計者がチェックし直してノイズエラーからの救済を行う必要があり、レイアウトに多大な労力と時間を要する等の問題点があった。

【0013】

また、従来はマクロブロックに空きスペースがあっても、マクロブロック内は他のマクロブロックを配置できなかったのも、不要なスペースとして残ってしまい、高集積化の妨げとなっていた。

本発明は上記の点に鑑みてなされたもので、レイアウトを容易かつ確実に行える設計データ処理方法及び記録媒体を提供することを目的とする。

【0014】

【課題を解決するための手段】

本発明の請求項 1、3 は、所定の階層の第 1 の設計データを取得し、第 1 の設計データより上位の階層の第 2 の設計データを取得し、第 2 の設計データを第 1 の設計データに合成させる。

本発明によれば、下位の階層に上位の階層のデータを表示できる。

【0015】

請求項 2、4 は、所定のブロックの所定の階層の第 1 の設計データ及び第 1 の設計データより下位の階層の第 2 の設計データを取得し、第 2 の取得データのブロック周縁部のデータを表示させるとともに、配線禁止領域に設定する。本発明によれば、ブロック周囲の配線が表示されるので、ブロック外部に配線する際に、ブロック内部の配線を認識しつつ、配線することができるので、配線ルールに則した配線を行える。

【0016】

【発明の実施の形態】

図 5 は、本発明の一実施例のブロック構成図を示す。

本実施例の設計データ処理装置 100 は、入力装置 101、処理装置 102、表示装置 103、記憶装置 104 から構成される。

入力装置 1 0 1 は、キーボード、マウスなどから構成される。入力装置 1 0 1 を操作することによりレイアウトが行われる。

【0 0 1 7】

処理装置 1 0 2 は、入力装置 1 0 1 からの指示に応じて記憶装置 1 0 4 から設計データを読み出し、レイアウトを変更するとともに、表示装置 1 0 3 に表示する。記憶装置 1 0 4 は、ハードディスクから構成され、設計データ、及び後述する設計データ処理プログラムが記憶される。

表示装置 1 0 3 は、レイアウトなどを表示する。

【0 0 1 8】

次に、設計データ処理プログラムについて説明する。

まず、アップボトム表示時の動作について説明する。

図 6 は本発明の一実施例のアップボトム表示時の処理フローチャートを示す。

処理装置 1 0 2 は、アップボトム表示時には図 6 に示すステップ S 1 - 1 ~ S 1 - 5 を実行する。ステップ S 1 - 1 は、アップボトム表示指示の入力を判定する。ステップ S 1 - 1 で、アップボトム表示指示が入力されると、ステップ S 1 - 2 が実行される。ステップ S 1 - 2 は、指定された階層の設計データを取得する。ステップ S 1 - 2 で、指定された階層の設計データが取得されると、次に、ステップ S 1 - 3 が実行される。ステップ S 1 - 3 は、上位の階層の配線データを取得する。

【0 0 1 9】

ステップ S 1 - 4 は、取得した上位階層の配線データを下位階層に設定する。ステップ S 1 - 5 は、ステップ S 1 - 4 で上位階層の配線データが設定された下位階層データを表示する。

図 7 は本発明の一実施例のアップボトム表示時の処理フローチャートを示す。

レイアウト構造 1 1 0 は、階層 L 1 ~ L n から構成される。階層 L n-1 は、マクロブロック B 1 ~ B 8 から構成される。

【0 0 2 0】

階層 L n は、階層 L n-1 の上位階層であり、階層 L n-1 のマクロブロック B 1 とマクロブロック B 2 とを接続する配線 1 1 1 が形成されている。配線 1 1 1 は

、下位階層 $n-1$ のマクロブロック B3 の上を横架するように配置されている。

本実施例では、下位階層 L_{n-1} のレイアウトが行われる際に、上位階層 L_n の配線 1 1 1 がアップボトムにレイアウト表示される。

【0 0 2 1】

次に、ボトムアップでレイアウトを表示するときの動作について説明する。

図 8 は、本発明の一実施例の階層表示時の処理フローチャートを示す。

ステップ S 2 - 1 は、下位階層を表示するか否かの指示を判定する。ステップ S 1 - 1 で、下位階層を表示する旨の指示があると、ステップ S 2 - 2 で下位階層を上位階層とともに表示する。

【0 0 2 2】

ステップ S 2 - 3 は、配線指示の有無を判定する。ステップ S 2 - 3 で、配線指示があると、ステップ S 2 - 4 で、配線の指示のあった階層は、全面的に配線禁止か否かを判定する。

ステップ S 2 - 4 で、全面的に配線が禁止されているときには、ステップ S 2 - 5 で配線を禁止する。

【0 0 2 3】

また、ステップ S 2 - 4 で、全面的に配線が禁止されていないときには、次に、ステップ S 2 - 6 で、配線指示位置がパターン上か否かを判定する。ステップ S 2 - 6 で、配線指示位置がパターン上のときには、ステップ S 2 - 5 で配線が禁止される。

また、ステップ S 2 - 6 で、配線指示位置がパターン上でなければ、次にステップ S 2 - 7 で配線指示位置がマクロブロックの周縁部か否かを判定する。なお、周縁部は、マクロブロックの端部から予め決められ距離の領域を示す。

【0 0 2 4】

ステップ S 2 - 7 で配線指示位置がマクロブロックの周縁部のときには、ステップ S 2 - 5 で配線が禁止される。また、ステップ S 2 - 7 で配線指示位置がマクロブロックの周縁部ではないときには、ステップ S 2 - 8 で配線を許可する。

図 9 は、本発明の一実施例の階層表示時の動作説明図を示す。

階層 L3 は上位階層、階層 L2 、 L1 は下位階層を示す。下位階層 L2 は、前

面配線禁止とされている。よって、階層 L2 には、配線は許可されない。

【0025】

また、階層 L1 は、パターン上のみ配線が禁止されている。よって、階層 L1 には、パターン P0 及び周縁部 P1 上を除いて配線 121 は許可される。

このとき、周縁部 P1 は、端部から所定距離 d0 までの領域を示す。なお、この周縁部 P1 には、階層 L1、L2 の配線がレイアウトされる。周縁部 P1 に階層 L1、L2 の配線をレイアウトすることにより、マクロブロック B0 の周囲の配線に配線を行う場合に、マクロブロック B0 内の配線を考慮して配線を行うことができる。よって、マクロブロック B0 内の配線とのスペーシングを確保することができる。

【0026】

次に、配線時の動作について説明する。

図 10 は、本発明の一実施例の配線時の処理フローチャートを示す。

ステップ S3-1 は、配線指示の有無を判断する。

ステップ S3-1 で、配線指示があると、次に、ステップ S3-2 で配線幅が所定の幅 W0 以上か否かを判定する。幅 W0 以上の配線は、クロックや電源の供給ラインとして用いられる。

【0027】

ステップ S3-2 で、配線幅が所定の幅 W0 以上のときには、ステップ S3-3 で指示された配線を複数の配線に分割したパターンを適用する。ステップ S3-4 は、ステップ S3-3 で適用された配線をレイアウトする。

図 11 は、本発明の一実施例の配線時の動作説明図を示す。図 11 (A) は指定された配線 130、図 11 (B) は適用される配線を示す。

【0028】

図 11 (A) に示すような幅 W1 の配線 130 が指定された場合には、図 11 (B) に示すように例えば、幅 $(W1 / 4)$ の 4 本の配線 131 ~ 134 に分割される。これにより、全体の配線幅は W2 ($> W1$) とされる。

以上により、配線の密度を緩和できる。よって、太い配線、一本で前述のメタル密度エラーが発生することがない。

【0029】

次に、配線時の動作の変形例について説明する。

図12は、本発明の一実施例の配線時の第1変形例の処理フローチャートを示す。

同図中、図11と同一ステップには同一符号を付し、その説明は省略する。

本変形例は、ステップS3-2で、指示された配線が幅W0以上のときには、次にステップS4-1で、隣接する配線の幅が幅W10以上か否かを判定する。

【0030】

ステップS4-1で、隣接する配線の幅が予め設定されたW10以上の場合には、ステップS4-2で隣接する配線との間隔を所定以上の間隔に設定する。

図13は、本発明の一実施例の配線時の第1変形例の動作説明図を示す。図13(A)に示すように幅W10の配線140の隣に間隔d1で幅W0の配線141を配線する場合には、図13(B)に示すように配線140と配線141と間隔は、所定の間隔d2 ($> d1$) とされる。

【0031】

本変形例によれば、配線の密度を緩和できる。よって、前述のメタル密度エラーが発生することがない。

次に、配線時の動作の他の変形例について説明する。

図14は、本発明の一実施例の配線時の第2変形例の処理フローチャートを示す。

【0032】

ステップS5-1は、幅W0以上の配線が終了したか否かを判定する。

ステップS5-1で、幅W0以上の配線が終了した場合には、次に、ステップS5-2で、配線の周囲に仮想配線が敷設される。仮想配線は、信号を伝送する予め設定された幅W20の一般の配線であり、仮想的に配置される配線である。

ステップS5-2で仮想配線が敷設された後、ステップS5-3で、前述したメタル密度チェックが行われる。

【0033】

次に、ステップS5-4で、ステップS5-3のメタル密度チェックによりメ

タル密度エラーとなったか否かが判定される。

ステップ S 5 - 4 で、メタル密度エラーが発生すると、次にステップ S 5 - 5 で、メタル密度エラーが発生しないための仮想配線の本数が計算される。

ステップ S 5 - 5 で、メタル密度エラーが発生しないための仮想配線の本数が計算されると、次にステップ S 5 - 6 で、間引く仮想配線を決定する。ステップ S 5 - 7 は、ステップ S 5 - 6 で決定された仮想配線の部分を配線禁止領域に設定する。

【 0 0 3 4 】

図 1 5 は、本発明の一実施例の配線時の第 2 実施例の動作説明図を示す。

本変形例では、図 1 5 (A) に示すように配線 1 5 0 を配線した後、図 1 5 (B) に示すように幅 W 2 0 の仮想配線 1 5 1 ~ 1 5 4 が配置される。図 1 5 (B) に示す領域 A でメタル密度エラーが発生すると、仮想配線 1 5 2、1 5 3 が間引かれる。仮想配線 1 5 2、1 5 3 に相当する部分 1 5 5、1 5 6 が配線禁止領域として設定される。後に一般配線が配置されたとき、配線禁止領域への配線は禁止される。

【 0 0 3 5 】

以上により、一般配線がレイアウトされたときに、メタル密度エラーが発生することがなく、効率よくレイアウトを行うことができる。

次に、ノイズエラーチェックについて説明する。

図 1 6 は、本発明の一実施例のノイズエラーチェックの処理フローチャートを示す。

【 0 0 3 6 】

ステップ S 6 - 1 は、配線を読み込む。次に、ステップ S 6 - 2 で、読み込まれた配線の平行区間長を求める。

ステップ S 6 - 3 で、ステップ S 6 - 2 で求められた配線の平行区間長に応じてノイズ N 1 を算出する。ノイズは、平行区間長に応じて大きくなる。

ステップ S 6 - 4 でステップ S 6 - 3 で検出されたノイズに応じてノイズエラーが検出されたか否かを判定する。ステップ S 6 - 4 で、ノイズエラーが発生しなければ、処理を終了する。

【0037】

また、ステップ S 6 - 4 で、ノイズエラーが検出されれば、次にステップ S 6 - 5 で緩和係数を算出する。緩和係数 f は、

$$f = F(\Sigma C, L) \quad \dots (1)$$

で求められる。なお、 $0 < f \leq 1$ となる。

式 (1) において ΣC は、配線の総延長、 L はドライバからエラー箇所までの配線長を示す。なお、関数 $F(x, y)$ は、配線の総延長 ΣC 及びドライバからエラー箇所までの配線長 L とノイズの関係から実験的に求められる関数である。

【0038】

次に、ステップ S 6 - 6 で、ステップ S 6 - 3 で求められたノイズ $N1$ に緩和係数 f を掛け算し、ノイズ $N2$ を求める。ノイズ $N2$ は、

$$N2 = f \times N1 \quad \dots (2)$$

で求められる。

このとき、ノイズ $N2$ は、ノイズ $N1$ に対して $N2 \leq N1$ の関係になる。

【0039】

次に、ステップ S 6 - 7 で、ノイズ $N2$ に対してノイズエラーか否かが判定される。ステップ S 6 - 7 では、ノイズ $N2$ を予め設定された値 $N0$ と比較し、ノイズ $N2$ が予め設定された値 $N0$ より大きければ、ノイズエラーであると判定される。

ステップ S 6 - 7 で、ノイズエラーであると判定された場合には、ステップ S 6 - 8 で、ノイズエラーであると確定される。

【0040】

図 17、図 18 は、本発明の一実施例のノイズエラーチェックの動作説明図を示す。

図 17 に示すようにマクロブロック B1 とマクロブロック B2 との間に配線 161 がレイアウトされ、マクロブロック B3 とマクロブロック B4 との間に配線 162 がレイアウトされたとする。このとき、配線 161 と配線 162 とには平行区間 163 が発生する。

【0041】

図 1 8 において 1 7 1、1 7 2 は送信ドライバ、1 7 3、1 7 4 は受信ドライバを示す。図 1 8 (A) に示すように平行区間 1 6 3 で配線 1 6 1 と配線 1 6 2 とが互いに干渉してノイズが伝達される。このとき、平行区間 1 6 3 が長いほど伝達されるノイズが大きくなる。

また、このとき、図 1 8 (B) に示すように送信ドライバ 1 7 1、1 7 2 付近に平行区間 1 6 3 がある場合には、ドライバ 1 7 1 の出力信号が急峻に変化するので、ノイズが伝達し易くなる。また、図 1 8 (C) に示すように受信ドライバ 1 7 3、1 7 4 付近に平行区間 1 6 3 がある場合には、配線 1 6 1、1 6 2 を伝送される間に波形が鈍るので、ノイズの影響が小さくなる。

【0 0 4 2】

このように、平行区間 1 6 3 の長さだけでなく、配線位置によって、ノイズの影響がことなる。緩和係数 f は、式 (1) に示すように送信ドライバ 1 7 1、1 7 2 からの距離 L を考慮して算出されている。よって、緩和係数 f によりノイズの影響を正確に検出できる

このように、ノイズエラーが発生した平行線路に緩和係数 f を考慮することにより、ノイズエラーとなる配線を減少させることができる。よって、効率のよい配線が可能となる。

【0 0 4 3】

次に、セル配置時の動作について説明する。

図 1 9 は、本発明の一実施例のセル配置時の処理フローチャートを示す。

ステップ S 7 - 1 は、マクロブロックのセル配置位置を読み込む。次に、ステップ S 7 - 2 でマクロブロック内のセル未配置領域を求める。

次に、ステップ S 7 - 3 で、セル未配置領域をセル配置可能領域に設定する。

【0 0 4 4】

図 2 0 は、本発明の一実施例のセル配置時の動作説明図を示す。

マクロブロック B1 は、セル C1 ~ C3、セル未配置領域 C0 から構成される。マクロブロック B1 のセル未配置領域 C0 をセル配置可能領域に設定することにより、他のマクロブロック B2 のセル C4 を配置できる。

このように他のマクロブロック B1 のセル未配置領域 C0 に他のマクロブロッ

ク B2 のセル C4 を配置できるので、効率よくセルを配置できる。

【 0 0 4 5 】

なお、本発明は上記実施例に限定されるものではない。

また、本発明は以下に示す設計データ処理方法を含む。

本発明は、配線の設計データを作成するときの設計データ処理方法において、配線を配置するとき、前記配線が所定のメタル密度以下となる設計データを作成する設計データ作成手順を有することを特徴とする。

【 0 0 4 6 】

本発明によれば、配線の幅が所定の幅以上の配線が配置されるときに、配線を所定のメタル密度以下となるように設計データを作成する。

本発明によれば、メタル密度ルール違反を防止できる。

さらに、本発明は、設計データ作成手順で、複数の配線を所定の間隔以上に配置することを特徴とする。

【 0 0 4 7 】

本発明は、設計データ作成手順が、所望の配線を配置する配線手順と、配線手順の後、予め設定された所定の配線を所定の間隔で配置し、配線の密度を検出する配線密度検出手順と、配線密度検出手順の検出結果に応じて他の配線の配置を規制する配線規制手順とを含むことを特徴とする。

本発明は、配線の設計データを作成するときの設計データ処理方法において、配線のノイズに応じて配線エラーを検出する第 1 のエラー検出手順と、エラー検出手順の検出結果、エラーが検出された配線の配線状態に応じてノイズを緩和するノイズ緩和手順と、ノイズ緩和手順のノイズに応じて配線エラーを再検出する第 2 のエラー検出手順とを有することを特徴とする。

【 0 0 4 8 】

本発明によれば、配線エラーが検出された場合でも、配線の状態がノイズが乗りにくい場合には、配線エラーとされない。よって、配線エラーを減少させることができる。

本発明は、ブロックを組み合わせてレイアウトされた設計データ処理方法において、所定のブロックの下位の階層のブロックレイアウトを参照するブロックレ

イアウト参照手順と、下位の階層のブロックレイアウトからブロックが未配置の領域を検出する未配置領域検出手順と、未配置領域に他のブロックを配置可能な領域に設定するブロック配置領域設定手順とを有することを特徴とする。

【0049】

本発明によれば、他のブロック上であってもブロックが未配置のブロック上であれば、ブロックを配置可能とすることにより、密度を向上させることができる。

【0050】

【発明の効果】

上述の如く、本発明の請求項 1、9、14 によれば、下位の階層をレイアウトする際に上位の階層のデータを参照できる等の特長を有する。

また、本発明の請求項 2、10、15 によれば、ブロック周囲の配線が表示されるので、ブロック外部に配線する際に、ブロック内部の配線を認識しつつ、配線することができるので、配線ルールに則した配線を行える等の特長を有する。

【0051】

さらに、本発明の請求項 3、11、16 によれば、メタル密度ルール違反を防止できる等の特長を有する。

本発明の請求項 7、12、17 によれば、配線エラーが検出された場合でも、配線の状態がノイズが乗りにくい場合には、配線エラーとされない。よって、配線エラーを減少させることができる等の特長を有する。

【0052】

本発明の請求項 8、13、18 によれば、他のブロック上であってもブロックが未配置のブロック上であれば、ブロックを配置可能とすることにより、密度を向上させることができる等の特長を有する。

【図面の簡単な説明】

【図 1】

従来のマクロ間の配線方法の一例を説明するための図である。

【図 2】

従来のマクロ端子の表示の一例を説明するための図である。

【図 3】

従来のメタル密度ルールチェックの方法を説明するための図である。

【図 4】

従来の平行長チェックの方法を説明するための図である。

【図 5】

本発明の一実施例のブロック構成図である。

【図 6】

本発明の一実施例のマクロ表示時の処理フローチャートである。

【図 7】

本発明の一実施例のマクロ表示時の動作説明図である。

【図 8】

本発明の一実施例の階層表示時の処理フローチャートである。

【図 9】

本発明の一実施例の階層表示時の動作説明図である。

【図 1 0】

本発明の一実施例の配線時の処理フローチャートである。

【図 1 1】

本発明の一実施例の配線時の動作説明図である。

【図 1 2】

本発明の一実施例の配線時の第 1 変形例の処理フローチャートである。

【図 1 3】

本発明の一実施例の配線時の第 1 変形例の動作説明図である。

【図 1 4】

本発明の一実施例の配線時の第 2 変形例の処理フローチャートである。

【図 1 5】

本発明の一実施例の配線時の第 2 変形例の動作説明図である。

【図 1 6】

本発明の一実施例のノイズエラーチェックの処理フローチャートである。

【図 1 7】

本発明の一実施例のノイズエラーチェックの動作説明図である。

【図 1 8】

本発明の一実施例のノイズエラーチェックの動作説明図である。

【図 1 9】

本発明の一実施例のセル配置時の処理フローチャートである。

【図 2 0】

本発明の一実施例のセル配置時の動作説明図である。

【符号の説明】

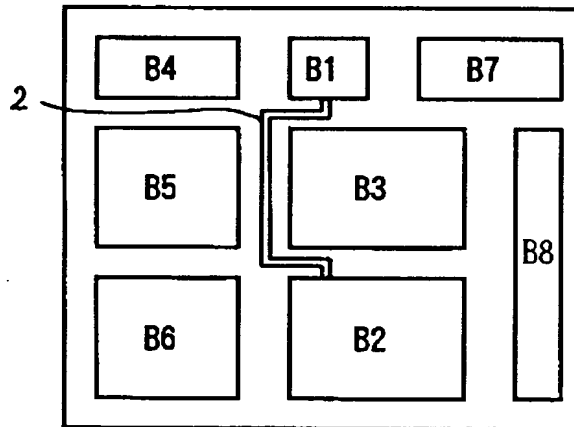
- 1 0 0 設計データ処理装置
- 1 0 1 入力装置
- 1 0 2 処理装置
- 1 0 3 表示装置
- 1 0 4 記憶装置

【書類名】 図面

【図 1】

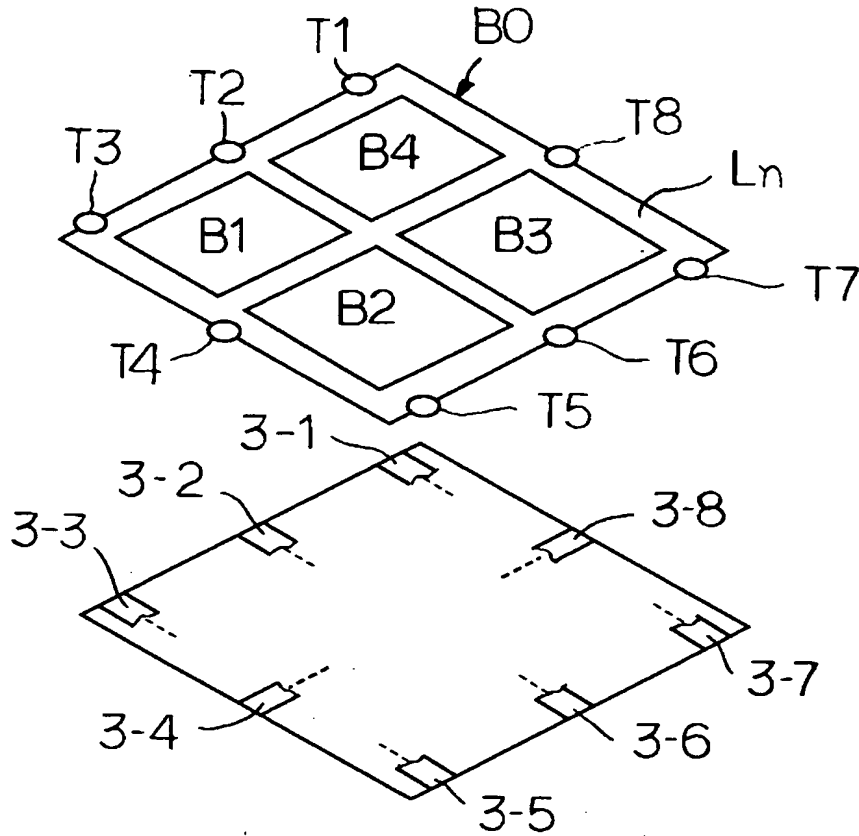
従来のマクロ間の配線方法の一例を説明するための図

1



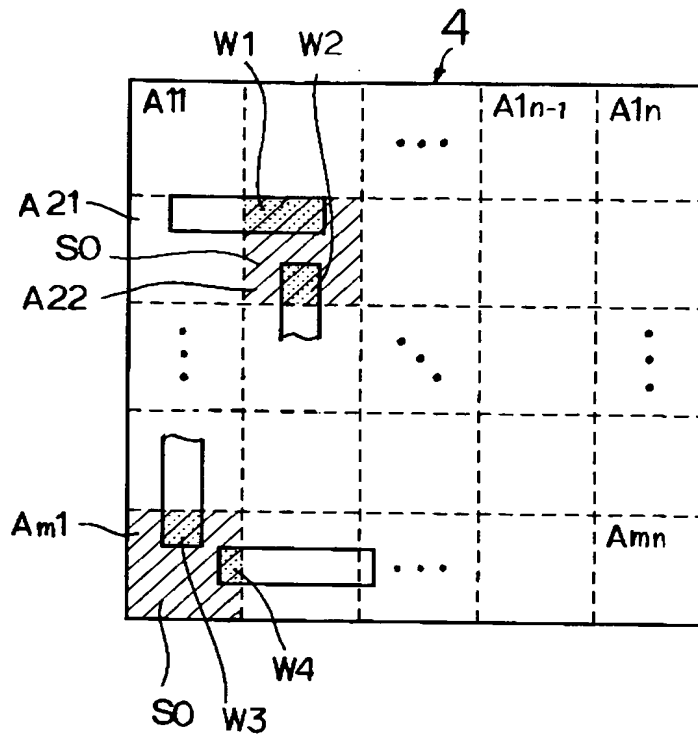
【図 2】

従来のマクロ端子の表示の一例を説明するための図



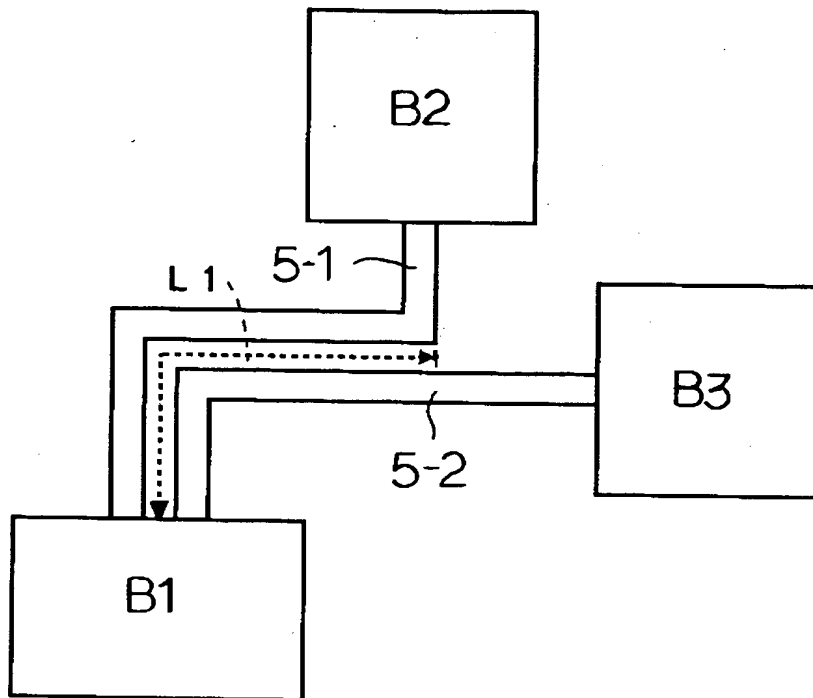
【図 3】

従来のメタル密度ルールチェックの方法を説明するための図



【図 4】

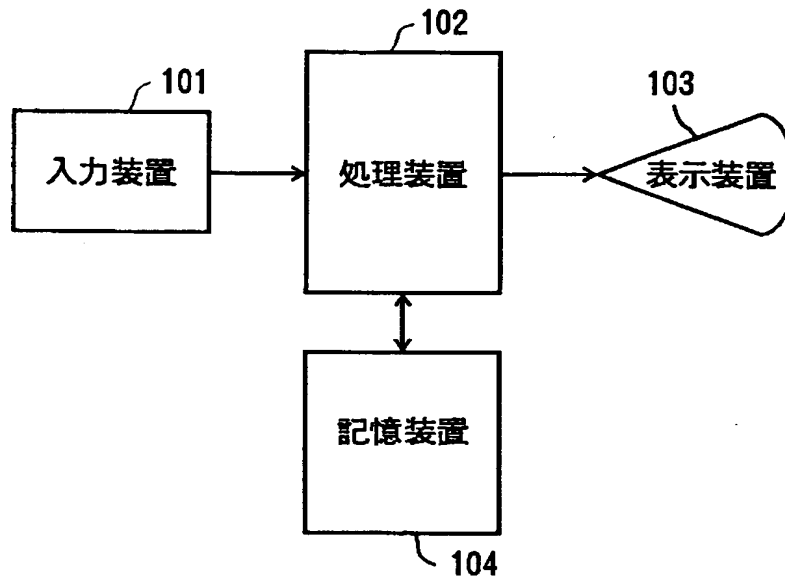
従来の平行長チェックの方法を説明するための図



【図 5】

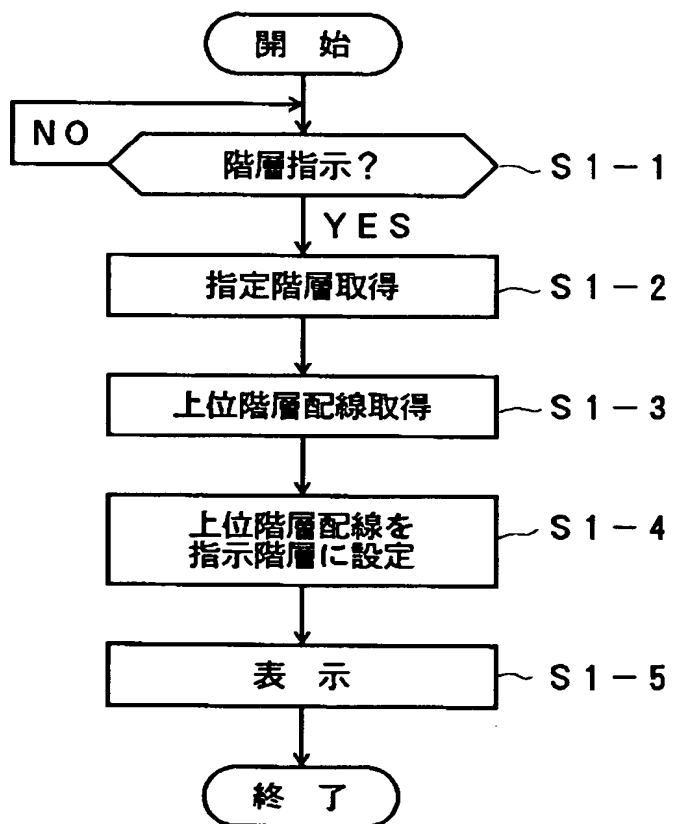
本発明の一実施例のブロック構成図

1 0 0



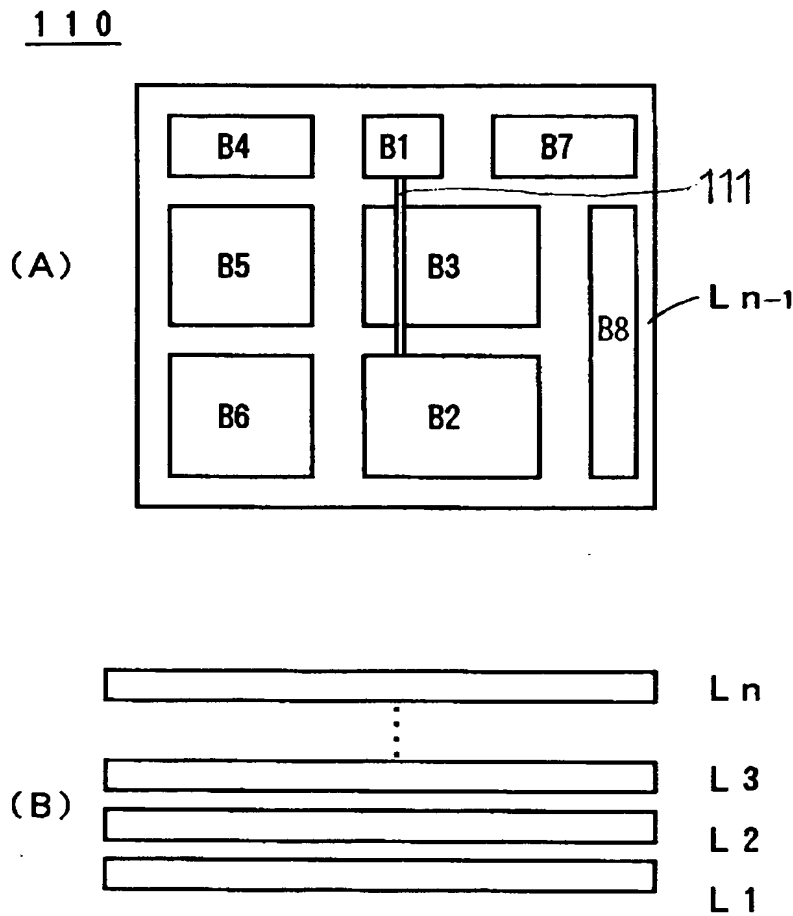
【図 6】

本発明の一実施例のマクロ表示時の処理フローチャート



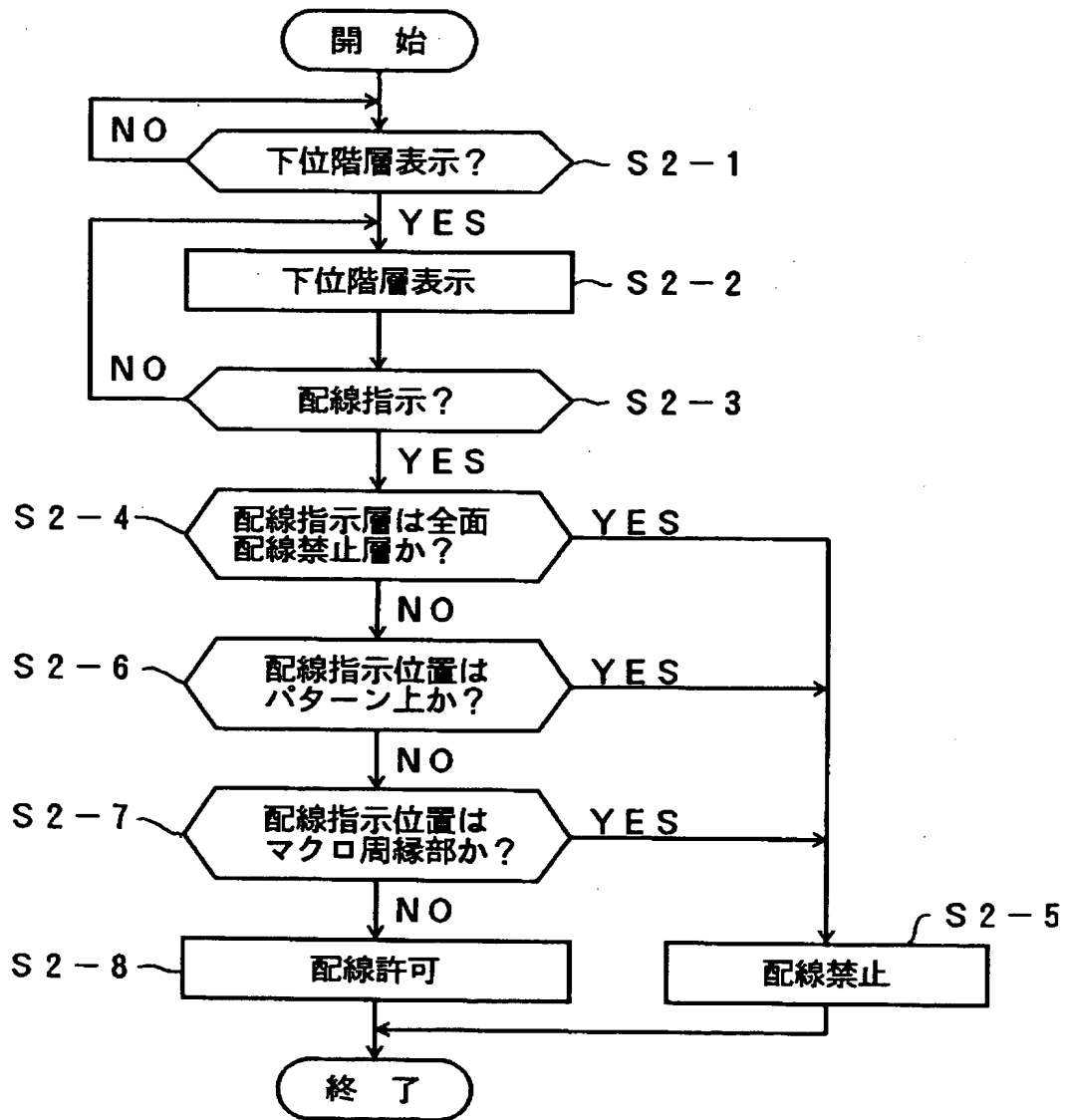
【図 7】

本発明の一実施例のマクロ表示時の動作説明図



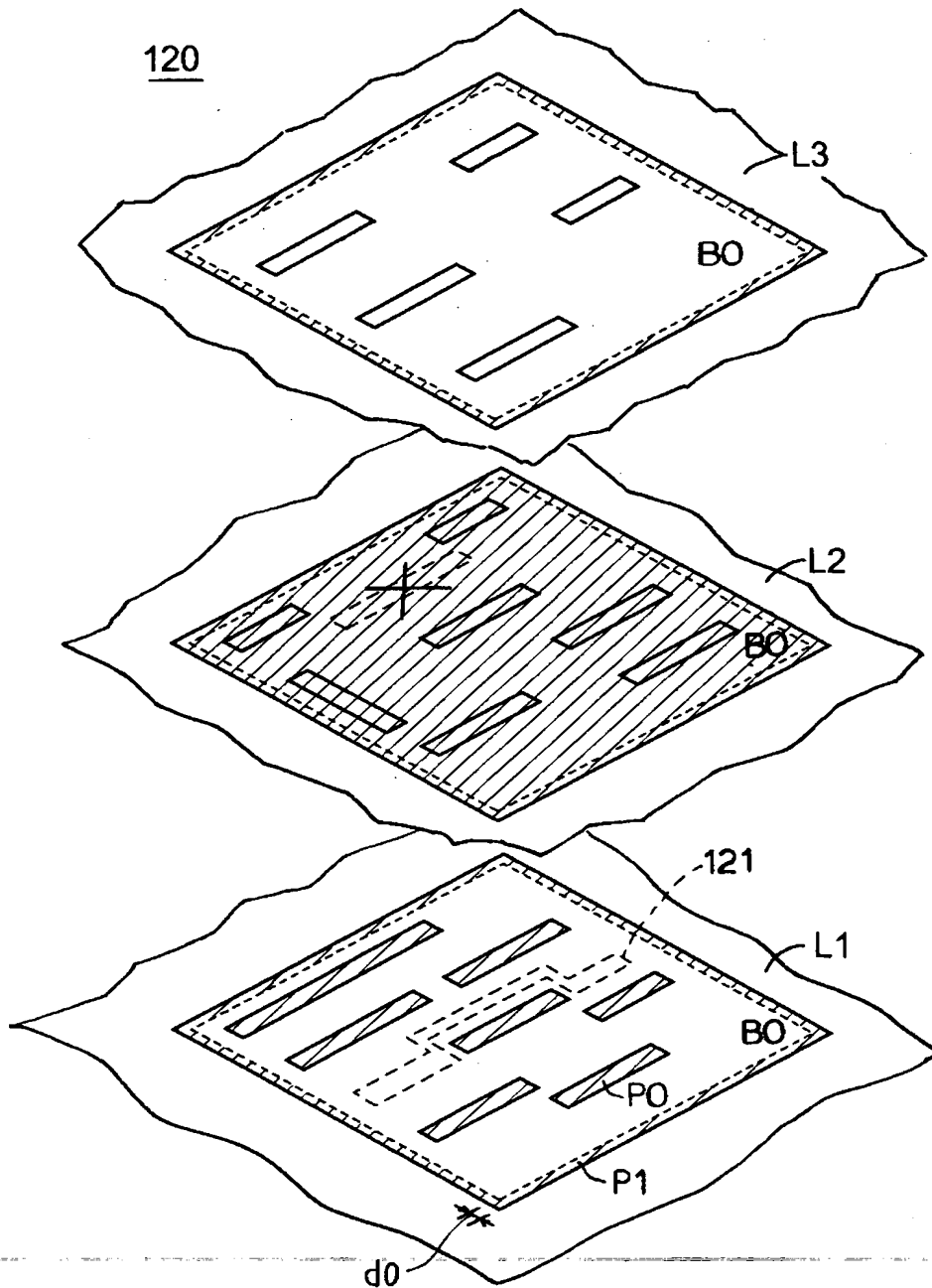
【図 8】

本発明の一実施例の階層表示時の処理フローチャート



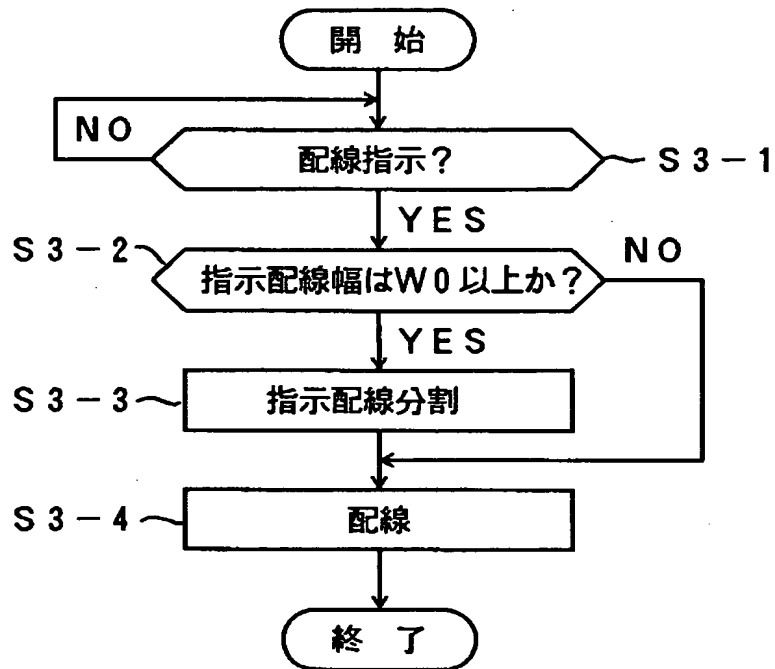
【図 9】

本発明の一実施例の階層表示時の動作説明図



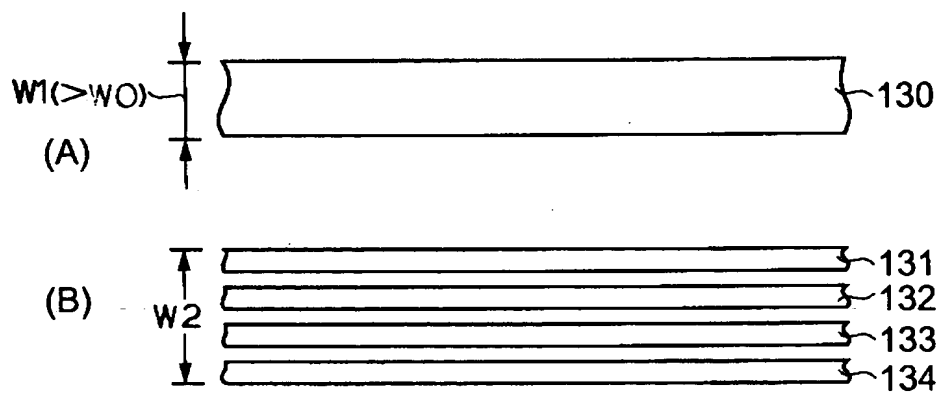
【図 1 0】

本発明の一実施例の配線時の処理フローチャート



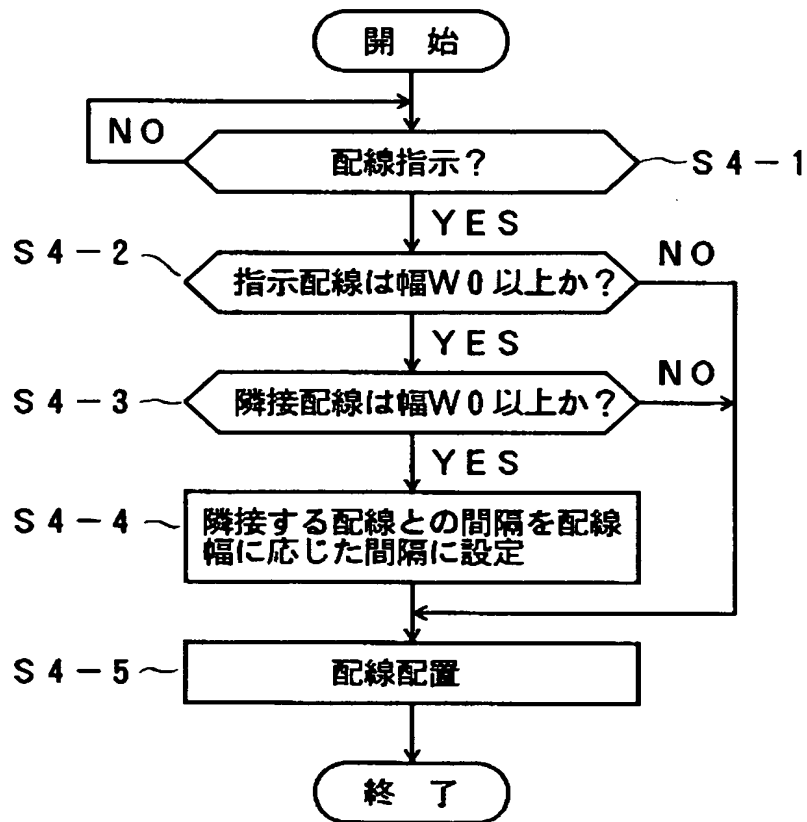
【図 1 1】

本発明の一実施例の配線時の動作説明図



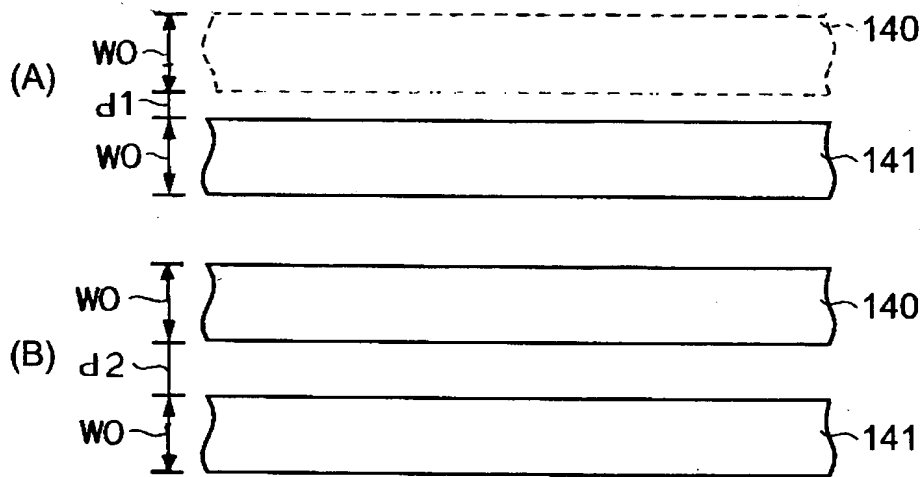
【図 1 2】

本発明の一実施例の配線時の第 1 変形例の処理フローチャート



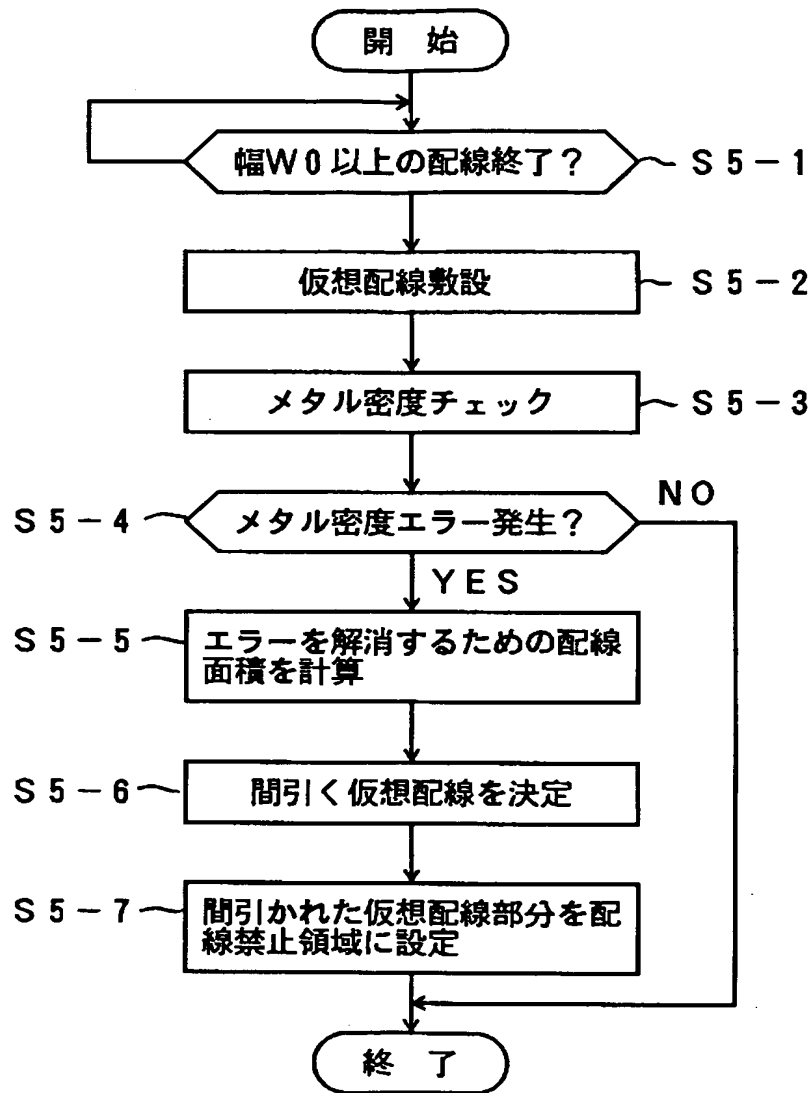
【図 1 3】

本発明の一実施例の配線時の第1変形例の動作説明図



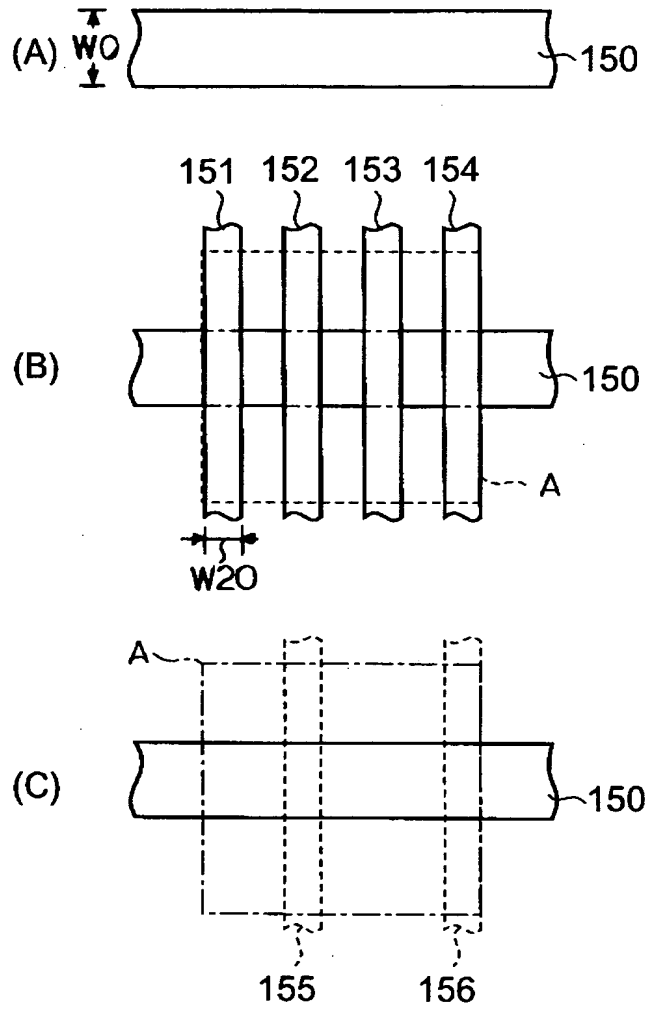
【図 1 4】

本発明の一実施例の配線時の第 2 変形例の処理フローチャート



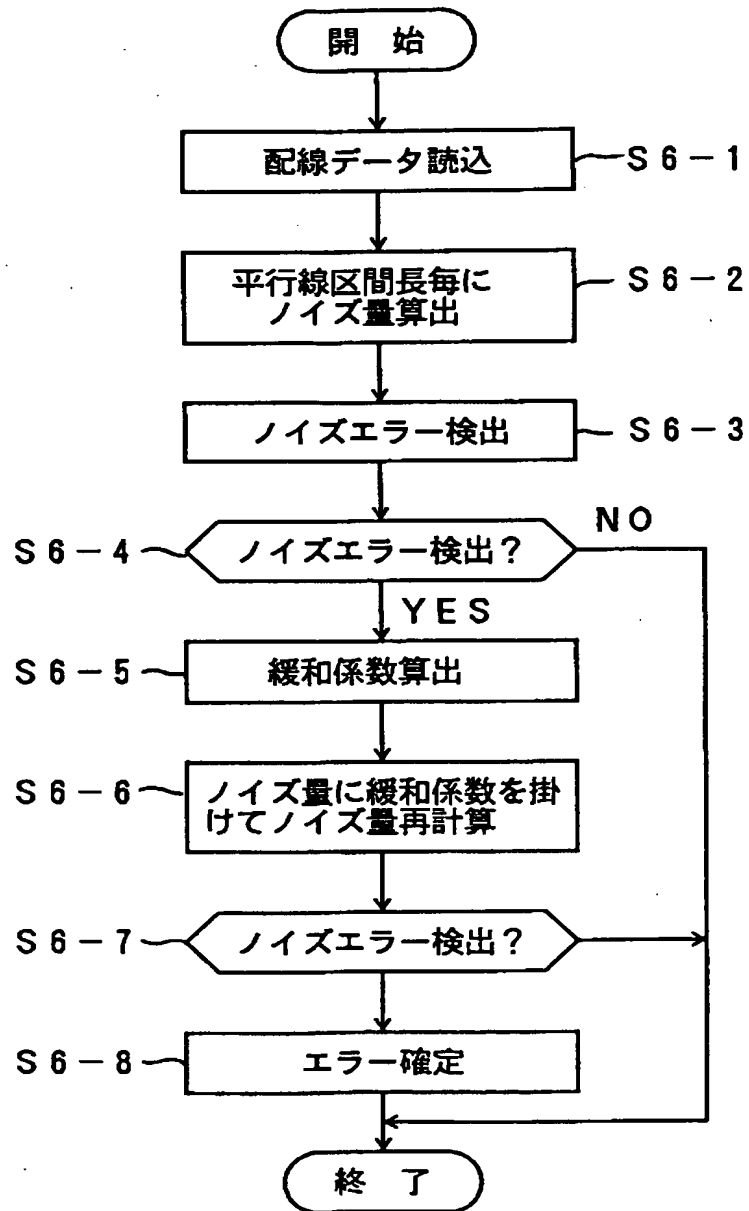
【図 1 5】

本発明の一実施例の配線時の第2実施例の動作説明図



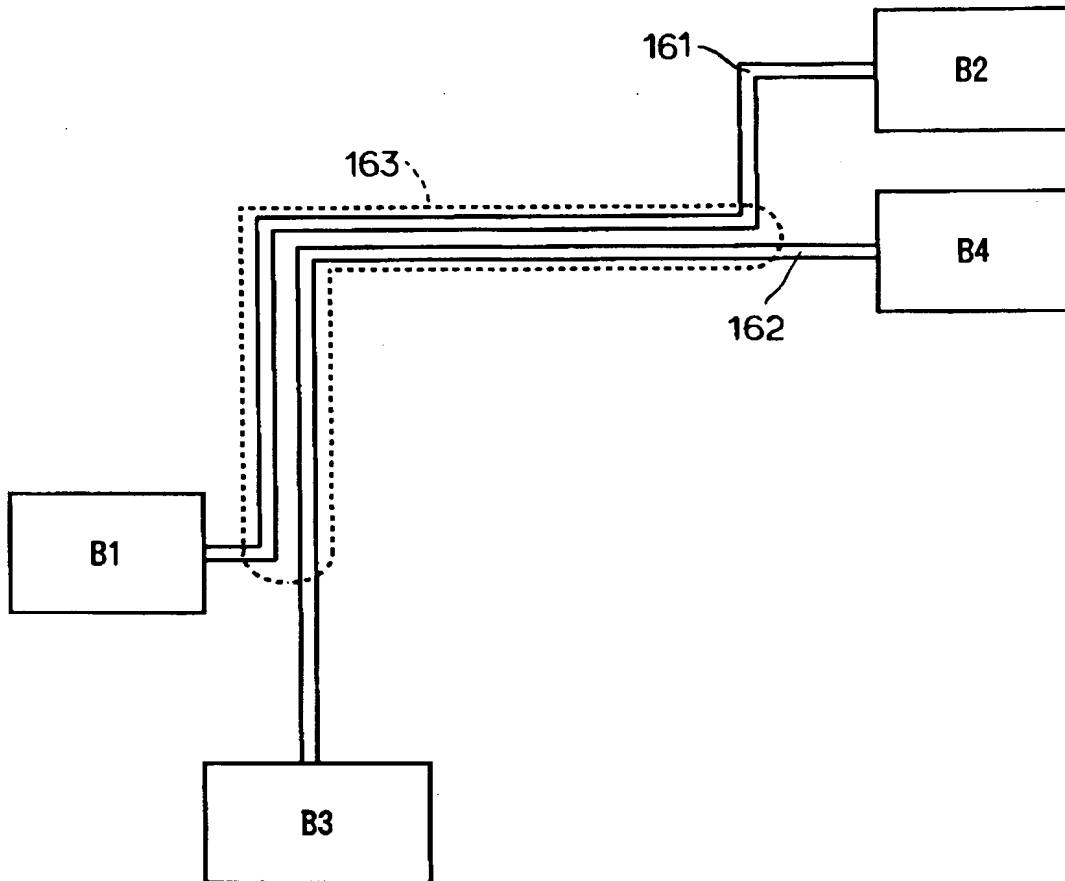
【図 1 6】

本発明の一実施例のノイズエラーチェックの処理フローチャート



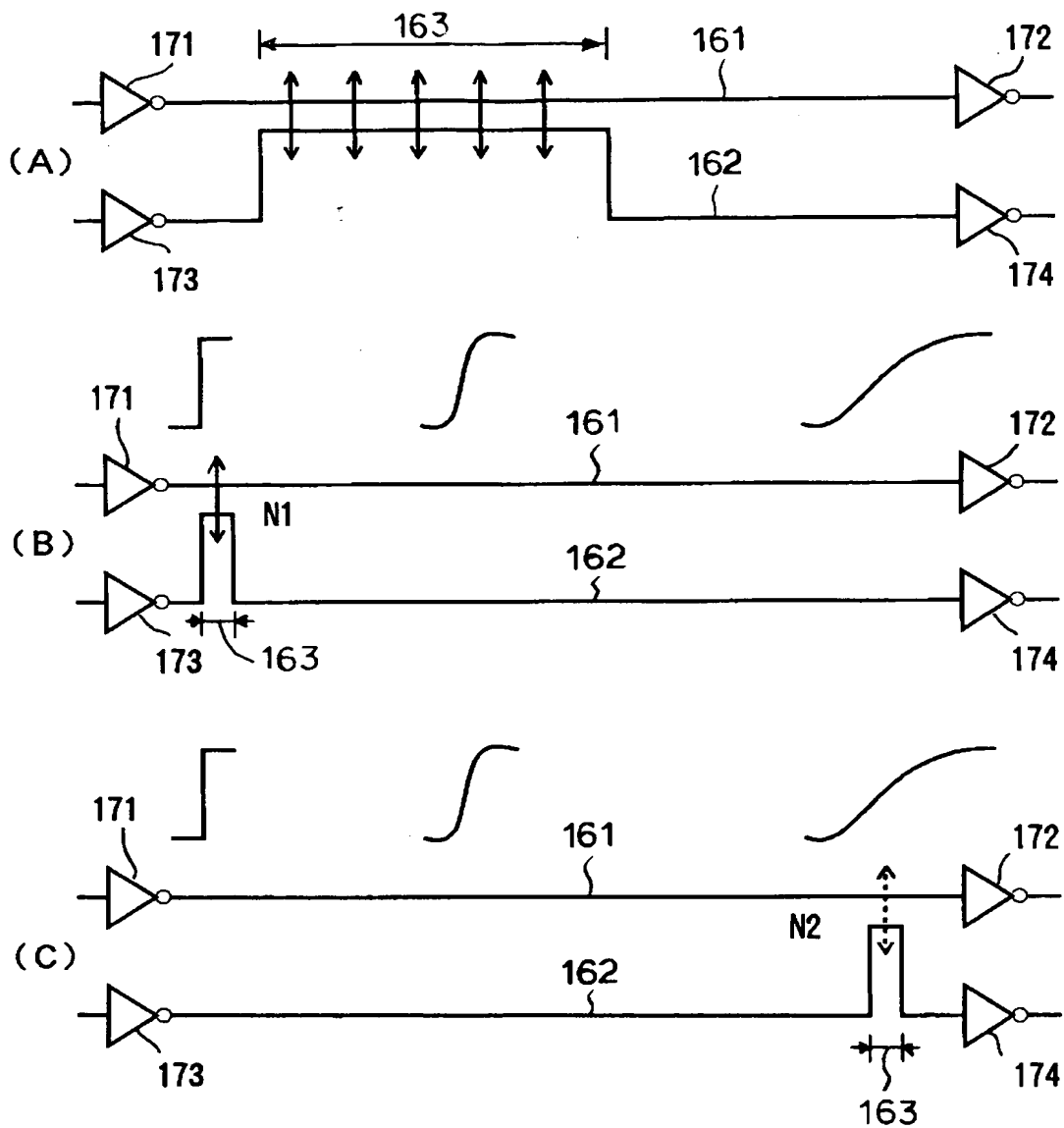
【図 1 7】

本発明の一実施例のノイズエラーチェックの動作説明図



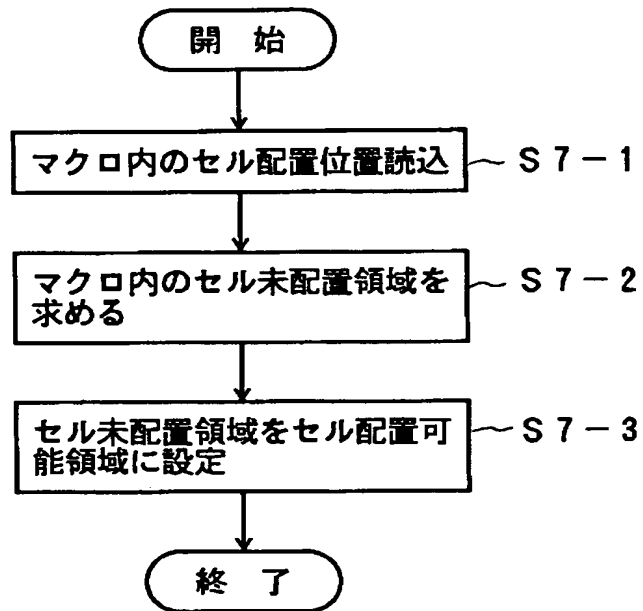
【図 1 8】

本発明の一実施例のノイズエラーチェックの動作説明図



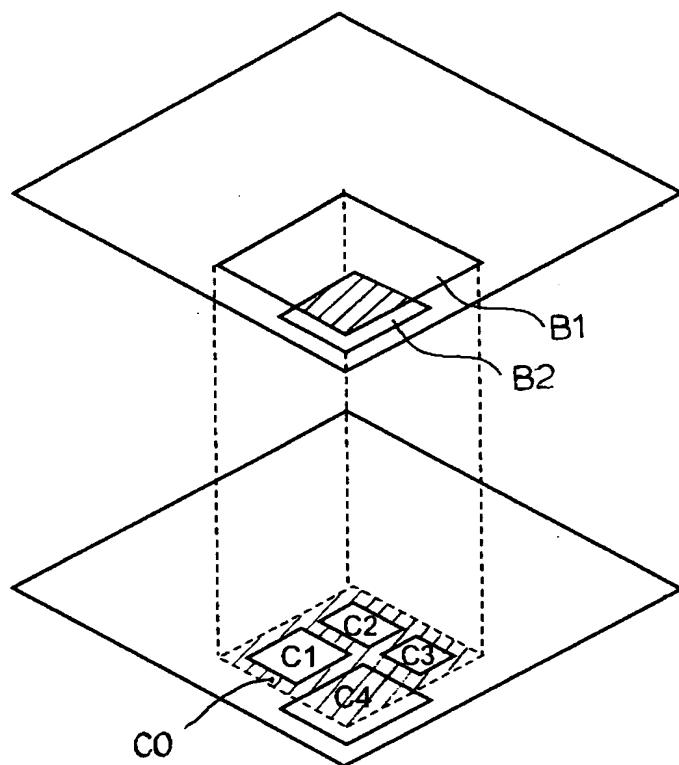
【図 1 9】

本発明の一実施例のセル配置時の処理フローチャート



【図 2 0】

本発明の一実施例のセル配置時の動作説明図



【書類名】 要約書

【要約】

【課題】 L S I (Large Scale Integrated Circuit) を階層毎に、マクロ単位で設計するときの設計データ処理方法及び記録媒体に関し、レイアウトを容易かつ確実にできる設計データ処理方法及び記録媒体を提供することを目的とする。

【解決手段】 下位階層のレイアウト表示時に上位階層の配線を参照可能とする。また、メタル密度ルールを守るため、太い配線は分割して配線する。さらに、メタル密度ルールを守りため、配線幅に応じたスペーシングを設定する。また、電源やクロックなどの太い配線を配置した後にメタル密度ルールチェックを行い、配線禁止領域を設定し、他の配線を行うようにする。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社